DOCKET NO: 295715US26PCT

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF	:
MASARU SASAKI, ET AL.	: EXAMINER: MALEK, MALIHEH
SERIAL NO: 10/591,343	:
FILED: AUGUST 31, 2006	: GROUP ART UNIT: 2812
FOR: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND PLASMA OXIDATION METHOD	:

DECLARATION UNDER 37 C.F.R. §1.131

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Now come:

Masaru Sasaki and Yoshiro Kabe who depose and state that:

1. We are named inventors in the above-identified application (i.e., U.S. 10/591,343).

2. We were employees of Tokyo Electron Limited of Tokyo, Japan at the time the present invention was conceived and reduced to practice and we are presently employees of Tokyo Electron Limited.

3. We are familiar with the prosecution history of the present application and/or counsel has explained to us the prosecution history of the present application.

4. Prior to November 22, 2002 we conceived and reduced to practice the invention described in the claims of the above-identified application.

5. The conception and reduction to practice of the presently claimed invention before July 28, 2003 is evidenced by the Extended Abstract of the 64th Autumn Meeting of the Japan

Society of Applied Physics August 30 - September 2, 2003 (i.e., the "Extended Abstract") which was published on the internet on June 8, 2003. An English translation of the Extended Abstract is attached as Appendix I.

6. The Extended Abstract describes a plasma processing method carried out using a mixed gas of oxygen and hydrogen on a stacked W/WN/Poly-Si layer. The method was conducted such that only the Poly-Si was oxidized. The W (i.e. Tungsten) was not oxidized. The disclosure of the Extended Abstract is reflected in paragraphs [0030]-[0032] of the present specification and claims (see for example pages 9 and 10).

7. The conception and reduction to practice of the presently claimed invention before November 22, 2002 is evidenced by an internal Tokyo Electron document titled "SPA Treatment for Post Date Oxidation" (i.e., the "Tokyo Electron document") which is attached as Appendix II. The date of the internal document has been redacted, however, the date is before November 22, 2002.

8. The Tokyo Electron document describes the conception and reduction to practice of the presently claimed invention before November 22, 2002. For example, page 2 of the Tokyo Electron document shows a semiconductor device formed from a film that is mainly W and a different film. A first layer of the film is oxidized by plasma processing.

9. The undersigned petitioner declares further that all statements made herein of his own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under

Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of this application or any patent issuing thereon.

10. Further deponent saith not.

Masaru Sasaki

Masaru Sasaki

Apr 17. 2009

Date

Yoshiro Kabe

Yoshiro Kabe

Apr. 17. 2009

Date

APPENDIX I

Extended Abstract of the 64th Autumn Meeting of the Japan Society of Applied Physics
August 30 - September 2, 2003 (English translation and original in Japanese)

CERTIFICATION

I, Junichi Aso, c/o Kanda Higashiyama BLDG., 2-1, Kanda-tacyo, Chiyoda-ku, Tokyo, JAPAN hereby declare that I am the translator of the following document and certify that the translation is correct and accurate to the best of my knowledge and belief:

Society of Applied Physics August 30-September 2, 2003 (i.e., the "Extended Abstract")

Signature of Translator: Junichi Aso

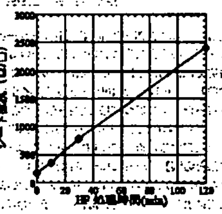
Dated: 28/04/2009

1a-A-11 プラズマドーピング前後の HF 洗浄とドーズ量の変化

Change of dose caused by HF treatment before or after plasma doping

東工大フロンティア研, 松下電工, UTLab., ○佐々木雄一朗, 水野文二, 大見俊一郎, 岩井洋 ほか
Tokyo Tech, UTLab, ○Y. Sasaki, ... B. Mizuno, S. Ohmi and H. Iwai

はじめに：極浅接合を工業的に実現するための技術としてプラズマドーピングが注目されている。この技術による B の低エネルギー(100eV 未満)ドーピングでは、イオンだけでなく中性ガス分子による B 導入も起こっていると報告されている[1]。この B 導入は表面吸着やアモルファス層への浸透によるものと考えられる。そのため、これはドーピング前後の洗浄工程に大きく影響される可能性がある。今回、HF 洗浄がドーズに及ぼす影響を調べた。
実験方法：n 型 Si ウェハに B_2H_6+He ガスによるプラズマドーピング法で B をドープした試料[2]にアニール前に時間変化させ HF（濃度 1%）処理をした。その後 1100℃、3 分間、N_2 雰囲気中でアニールをして、四探針法によるシート抵抗測定を行った。
結果：右図は、アニール前の HF 処理時間とシート抵抗の関係を示す。HF 処理の処理時間の増加とともにシート抵抗が増大した。かなり長時間の処理に対しても抵抗の増大が続いており、HF 処理により B を含む酸化膜及び Si 表面層が除去されたために、シート抵抗が増加したと考えられる。発表当日は、プラズマドーピング前の HF 処理の影響についても報告する。



HF 処理時間とシート抵抗の関係

[1] 佐々木他、平成 15 年春季応用物理学会 29p-ZW-12, 水野, 同, 29p-ZW-13.
[2] Y. Sasaki et al., Ext. Abst. of the 3rd IWJT, December, Tokyo, S3-5, P.37, 2002.

1p-A-1 多結晶 Si への高 Tilt 角度イオン注入

High tilt angle ion implantation into polycrystalline silicon

富士通研究所 シリコンテクノロジ研究所 ○鈴木邦広
Fujitsu Laboratories Ltd., Silicon Technology Laboratories ○Kunihiro Suzuki
suzuki.kunihiro@jp.fujitsu.com

多結晶 Si はゲート材料として広く用いられている。イオン注入は、この多結晶 Si に対する標準的なドーピング法である。デバイスの縮小化に伴い、多結晶 Si ゲート膜厚も薄くなっていく。この薄い多結晶 Si ゲート内に納まるようにイオン注入条件を設定する必要がある。

多結晶 Si はさまざまな方向を向いたグレインとグレイン境界から構成される。したがって、多結晶 Si 中のイオン注入分布は様々な結晶方位を向いた結晶 Si グレイン中の分布の合成されたものにグレイン境界からの影響を加えたものと定性的にとらえることができる。これまで、多結晶 Si 中のイオン注入分布に関して系統的な解析はなされていなかった。ここでは、ゲートに通常使う膜厚よりも厚い多結晶 Si を堆積させ、その中のイオン注入分布のエネルギー依存性の系統的な実験データを取得し、そのデータベースを構築した。

多結晶 Si 中の B イオン注入分布は tilt 0°でも 7°でもほぼ同じ分布になる。ピーク近傍の分布は結晶 Si 中の tilt 7°の分布とほぼ同じである。しかし、チャンネリングテールは結晶 Si の場合より顕著であり、低加速エネルギーでは tilt 0°で結晶 Si 中にイオン注入したものより激しい。これは、native 酸化膜がイオンの方向を少し変えても、多結晶 Si の場合はそれに丁度合う方位のグレインが存在するためであると Monte Carlo シミュレーションから予測した。

Tilt を 30-60°に傾けると、このチャンネリング現象は著しく緩和される。これはイオンがグレイン境界を横切ると別の面方位を感じるためであると考えている。つまり、高 Tilt 角度イオン注入は薄い多結晶 Si はゲート中の不純物を納める有効な方法である。

取得した SIMS データから我々が提案したテール関数のパラメータを取得し、データベース化した。

1p-A-2 素子分離応力に起因する接合リーク電流の評価

Study on junction leakage currents induced by the stress of shallow trench isolation

松下半導体エンジニアリング[1], 松下半導体社プロセス開発セ[2] ○山田 雅司[1], 大野 康利[2], 鎌田 浩幸[2], 尾上 美佐子[2], 山下 恭司[2]
Matsushita Semiconductor Engineering Co.[1], Matsushita Electric Industrial Co. Semiconductor Comp. ULSI Process Technol. Dev. Ctr.[2]
Masato Yamada[1], Yasutoshi Okuno[2], Hiroyuki Kamada[2], Misako Onoe[2], Kyoji Yamashita[2]
PANA7801@pas.mei.co.jp

はじめに：トランジスタの微細化・高集積化に伴い、局所的な応力の発生するプロセス要素が増え、応力起因の結晶欠陥の発生が素子特性全体の歩留まりを低下させることは勿論、トランジスタ特性や信頼性に与える影響の顕著化が見られる[1]。中でもサリサイドプロセスによるコンタクト・接合形成技術は、金属原子の Si 基板への侵入による Si 原子の歪みや欠陥の導入が考えられ、局所的に大きな応力が集中する工程の一つである。この工程に起因する応力による接合リーク電流増加現象としては A.Lauwers らの報告[2]があるが、同じく微細化に伴い高応力を発生させる素子分離形成（STI）工程との関係は明確ではない。本発表では、$CoSi_2$ プロセス適用の応力による接合リーク増加量と STI 工程に起因する増加量を、活性領域の応力を実測することにより区別し、活性領域応力値と接合リーク電流増加の相関関係を明らかにした。
実験：STI 幅のみ変化させ、活性領域幅を一定にしたテストパターンを用い、接合リーク電流の STI 幅依存性を測定するとともに、各活性領域部における応力値を In-line 顕微ラマン分光法を用いて評価した。また、顕微ラマンによる応力評価結果は、デバイスシミュレーションによりその発生工程を検証した。
さらに、テストパターンの活性領域エッジ部の $CoSi_2$ 断面形状観察により、STI 幅の変化に伴いエッジリークを増加させる $CoSi_2$ 異常の増加がないことを確認した。
結果：右図に示す様に、活性領域が STI から受ける圧縮応力と接合リーク電流の増加に相関関係があることを明らかにした。接合リークの増大は、活性領域 Si の圧縮歪によるバンドギャップ変化によると思われる。

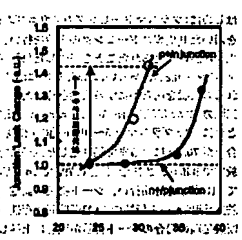


図1. 接合リークの活性領域応力依存性

1) A. Toda et al., Appl. Phys. Lett. Vol.79 (2001) 4243
2) A. Lauwers et al., MRS Vol.716 (2002) B1-6-1

1p-A-3 Sub-100nm nMOSFET エクステンション 2 次元分布の注入及び熱処理依存性の STM 評価

STM study of implantation and anneal impacts on 2-D profiles of the extension in sub-100nm nMOSFETs

富士通研究所・富士通[*]・阪大[**]・兵庫大[***] ○福留 秀暢・有本 宏[*]・長谷川 英司[**]・中島 偉男[***]、青山 敬幸
Fujitsu Laboratories, Fujitsu[*], Osaka Univ.[**], Hyogo Univ.[***] ○H. Fukutome, H. Arimoto, S. Hasegawa, H. Nakashima, and T. Aoyama
fukutome@jp.fujitsu.com

ゲート長 100nm 以下のトランジスタの場合、僅かな不純物分布の変化がその電気的特性に大きな影響を与える。2 次元キャリア濃度分布評価技術として走査型トンネル顕微鏡(STM)を用いて、NMOS のエクステンション(Ex)領域を STM で評価した結果、ゲート絶縁膜に沿って異常拡散が存在していることがわかっている[1]。この異常拡散によって Ex の横方向の急峻性が悪くなるので、デバイスの電気特性は劣化すると考えられる。本発表では、STM を用いて、NMOS Ex 形状の製造プロセス(注入ドーズと熱処理温度)依存性を評価し、縦・横方向の拡散について考察を行って、ゲート絶縁膜に沿った裾を伴わない Ex 形状にするためのプロセス最適化の方向性を検討する。

NMOS Ex は As・3keV で作製し、ドーズ及び温度の高低 4 つの組み合わせについて Ex 形状を STM で評価した。図 1 に示すように、STM 測定で得た 2 次元キャリア分布から Ex の接合深さ(Xj)、Ex のゲート絶縁膜直下におけるゲート電極下へのオーバーラップ量(Xov)等を導出した。その結果より表 1 に示すように、低ドーズでは縦方向より横方向の拡散量が抑えられているのに対し、高ドーズでは縦方向よりゲート絶縁膜直下横方向の拡散量が大きくなることがわかった。高ドーズにすることで Xov が増加するので、低ドーズ・高温プロセスでゲート絶縁膜に沿った裾を伴わない Ex 形状が形成できる。

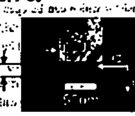


図1　エクステンションの STM 像からの Xj と Xov の導出

表1　Xj と Xov の注入ドーズと熱処理温度への依存性

	Xj (nm)	Xov (nm)
低ドーズ・低温	[illegible]	[illegible]
低ドーズ・高温	[illegible]	[illegible]
高ドーズ・低温	[illegible]	[illegible]
高ドーズ・高温	[illegible]	[illegible]

[1] H. Fukutome, T. Aoyama and H. Arimoto, IEDM 2001 (2001) pp.67

1p-A-4 高感度 STEM-EDX による MOS デバイス中 2 次元 As 分布の定量評価

Quantitative evaluation of 2-D arsenic profile in MOS device using high sensitive STEM-EDX

日立中研　○ 常田 るり子、小口 雅成、土屋 龍太
Central Research Laboratory, Hitachi, Ltd.
○ Ruriko Tsuneta, Masanari Koguchi, Ryuta Tsuchiya
ruriko@crl.hitachi.co.jp

はじめに：半導体デバイスの高集積・微細化に伴い、拡散層におけるドーパント分布測定の重要性が増している。実デバイス中のドーパント分布直接測定には高分解能と高感度を両立した技術が必要であり、従来技術では計測ニーズに充分対応できてはいない。そこで我々は、ドーパント分布直接測定を目的とした STEM-EDX 高感度化を進めている[1]。今回、開発した高感度 STEM-EDX でプロセス条件を変えた MOS デバイス中の As 分布を測定し、As 濃度分布の差を定量評価した。
実験：試料ドリフト補正装置(自作)と EDX (Noran 社 Vantage) を搭載した 200 kV-STEM (日立 HD-2000) を用いて As の EDX 像を測定し、標準試料における SIMS とのバックグラウンドを用いて濃度分布に変換した。ドリフト自動補正によって 1nm 分解能を保ちながら EDX 像積算時間を大幅に増加させ、元素検出感度 2.6E19As·cm⁻³ を実現している[1]。
結果：図は 1050℃アニール前後の n-MOS のソース・ドレイン As 分布の測定結果である。STEM 像に EDX 像から得られた As 濃度分布を重ねて表示してある。As の打込み条件は共に 3keV、1E15cm⁻² である。ゲート下の拡散層では界面拡散により深さ方向に比べ横方向の拡散定数が大きくなる。この傾向は STM 測定結果から示されてはいたが[2]、As 絶対濃度の測定は、今回の技術によって初めて可能になった。

As 濃度分布測定結果

1) R. Tsuneta, M. Koguchi, K. Nakamura and A. Nishida: J. of Electron Microsc. 51(3): 167-171 (2002).
2) H. Fukutome, T. Aoyama and H. Arimoto, IEDM2001 (2001), pp.67

~~(Document 2)~~　✓Document 2

1p-A-5 SPA プラズマによるゲート選択酸化プロセス開発

Development of metal gate selective oxidation process with SPA plasma

東京エレクトロン AT（株）　○壁 義郎、伊佐 和裕、佐々木 勝、尾崎 成則
Tokyo Electron AT Ltd. ○Yoshiro Kabe, Kazuhiro Isa, Masaru Sasaki, Shigenori Ozaki

[はじめに] トランジスタの微細化に伴い、ゲート電極の低抵抗化が求められており、DRAM や FLASH メモリーでは WSi/Poly あるいは W/WN/Poly ゲートが用いられてきている。ゲートエッチ後の選択酸化は現在 Furnace や RTO などの熱酸化プロセスが用いられているが、高温処理のため、バーズビークの形成による Vth のバラツキや W の異常による汚染などの問題が顕在化してきている。本発表では、低電子温度・高密度の SPA プラズマを用いて、低温処理の特性を生かした選択酸化プロセスを報告する。
[実験] ゲート電極パターン(W/WN/Poly)への低温酸素プラズマ処理を行い、SEM, TEM による形状評価を行った。また、W 膜を用いてシート抵抗測定及び XPS 測定で表面・深さ方向分析を行った。
[結果] 低温酸素プラズマ処理されたゲート電極は、SEM, TEM 観察では W 部の異常酸化が抑えられており、Poly 側壁に酸化膜が形成されていることが確認できた。しかし、W 膜の抵抗測定・XPS 深さ方向分析より、酸素プラズマでは W の酸化が進行していることがわかったため、水素添加プラズマでの処理を行った。H2/O2 比を上げることで、W/Poly の選択性が向上し、H2/O2 比 3 で W の酸化が完全に抑制されることがわかった（図参照）。

1p-A-5: Development of gate selective oxidation process by means of SPA plasma

[Introduction]

With the miniaturizing of a transistor, it is required to reduce the resistance of a gate electrode of the transistor. In a DRAM or a FLASH memory, a WSi/poly-Si gate or a W/WN/poly-Si gate are utilized. The selective oxidation of gate etching is conducted by means of thermal oxidation process using a furnace or a RTO. However, since the thermal oxidation process is conducted at a higher temperature, the thermal oxidation process causes the fluctuation in Vth by the formation of birds beak and the contamination due to the sublimation of W. This presentation reports a selective oxidation process at low temperature using a SPA plasma of low electron temperature and high density.

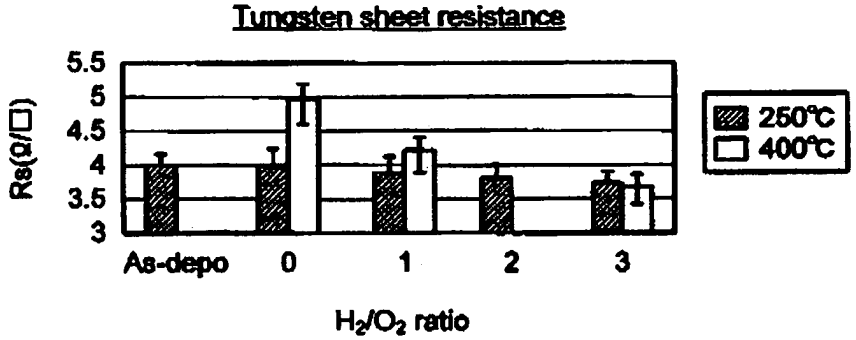
[Experiment]

Low temperature oxide plasma treatment is conducted for a gate electrode pattern of W/WN/poly-Si, and thus the configuration of the gate electrode pattern through the low temperature oxide plasma treatment by means of SEM and TEM. Moreover, sheet resistance measurement and XPS measurement are carried out for the W film. The XPS measurement is carried out for the surface and the depth of the W film.

[Result]

It was turned out that the abnormal oxidation of the W film was suppressed and oxide films were formed at the side walls of the poly-Si by the low temperature oxide plasma treatment through SEM and TEM. However, it was turned out that the oxidation of

the W film is proceeded by the low temperature oxide plasma treatment using oxide plasma through the resistance measurement and XPS analysis for the W film. In this point of view, the low temperature oxide plasma treatment using the plasma of the mixture of oxygen gas and hydrogen gas was conducted. In this case, the selective oxidation for the stacking structure was enhanced and the W film was not oxidized at all under the condition of $H_2/O_2=3$.



APPENDIX II

Tokyo Electron Document

(Document 3)

confidential

Document 3

SPA Treatment for Post Gate Oxidation

Redacted

Tokyo Electron LTD.

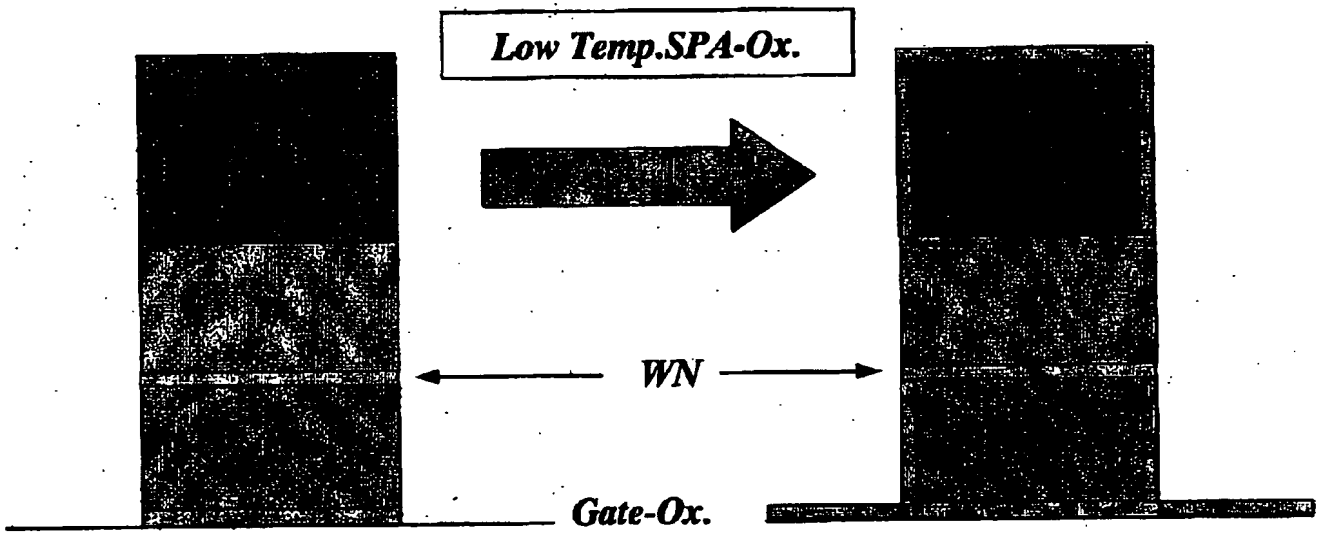
Kansai Technology Center

KT#102-161

confidential

Post Gate Oxidation

W-Poly metal



Advantage

[redacted]

Redacted

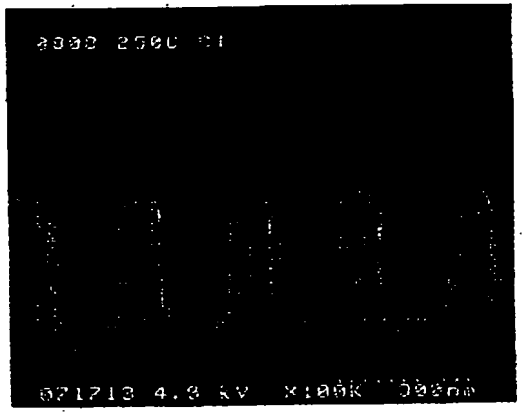
PEOPLE. TECHNOLOGY. COMMITMENT.

confidential

Post Gate Oxidation

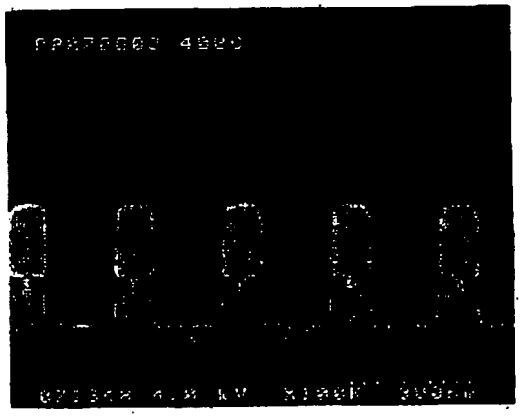
W-Poly metal

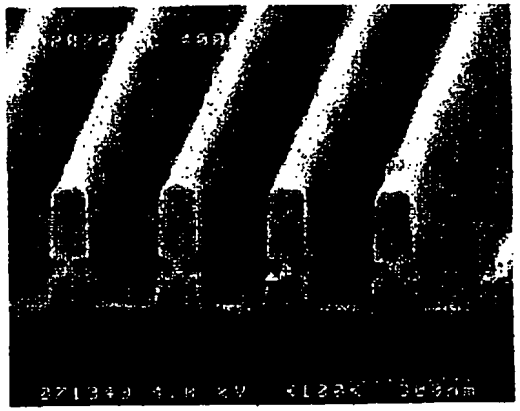
2.5nm on Si-Sub



250℃ 50sec.

3.5nm on Si-Sub





400℃ 110sec

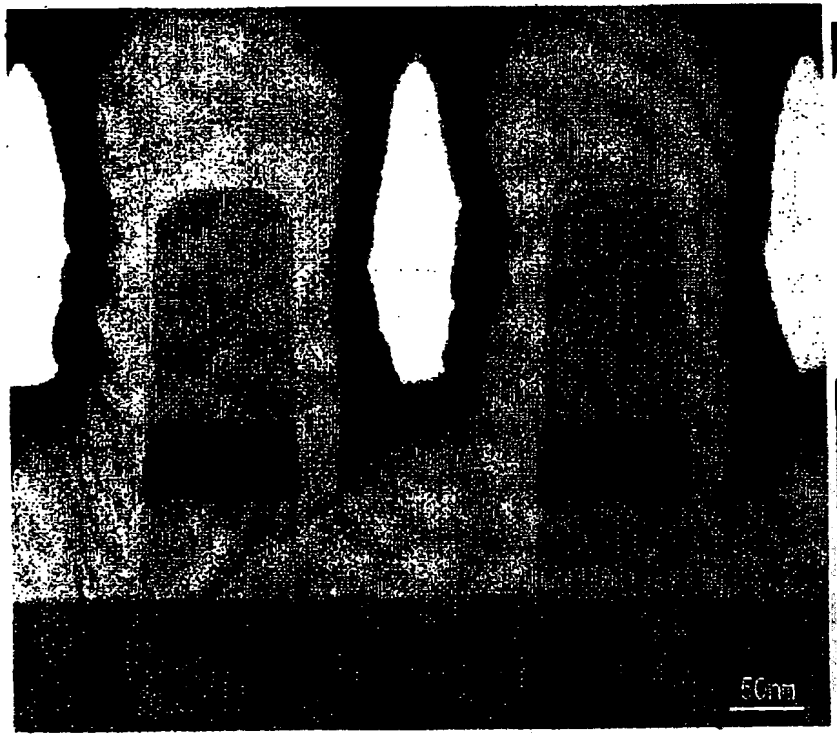
Redacted

PEOPLE. TECHNOLOGY. COMMITMENT.

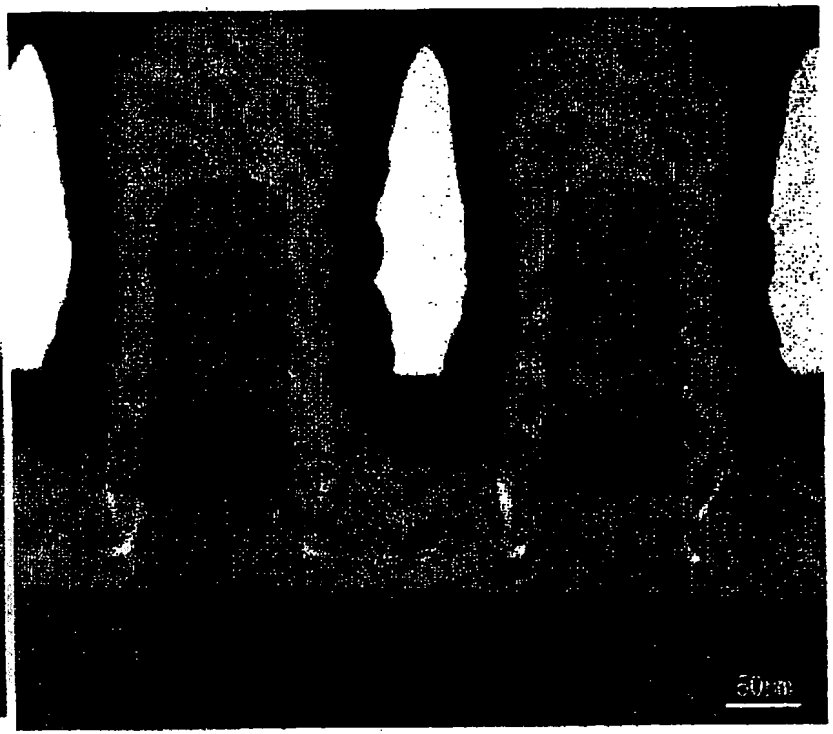
confidential

Post Gate Oxidation

W-Poly Metal Gate



Reference (After Wet Clean)



Low Temp. SPA-Oxidation

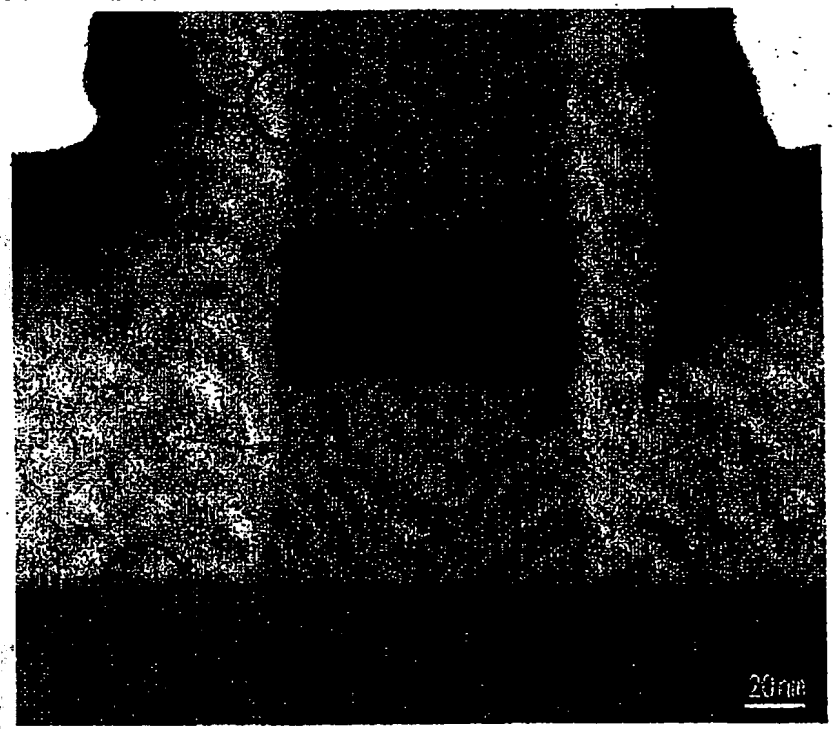
Redacted

confidential

Post Gate Oxidation

W-Poly Metal Gate

Reference (After Wet Clean)



Low Temp. SPA-Oxidation

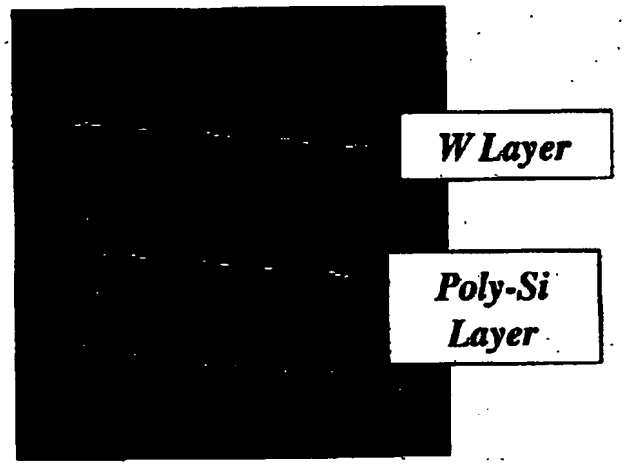
Redacted

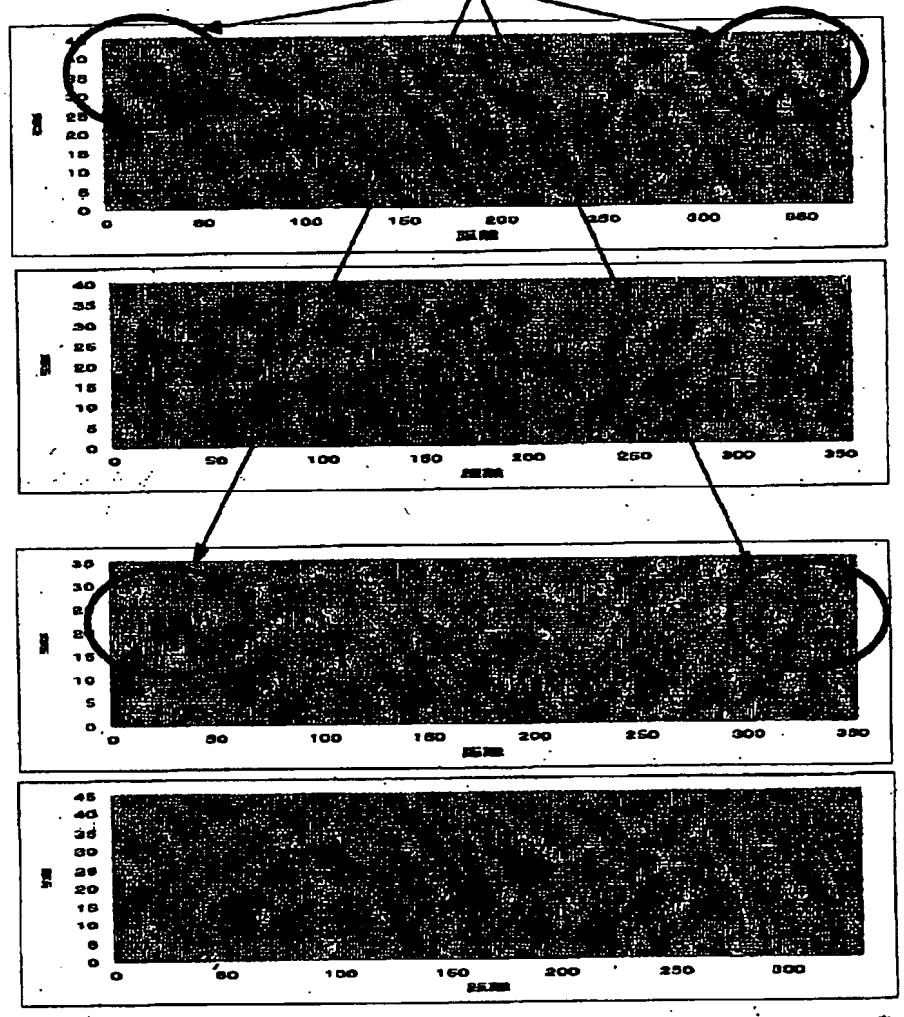
confidential

EELS Line Profile (O)

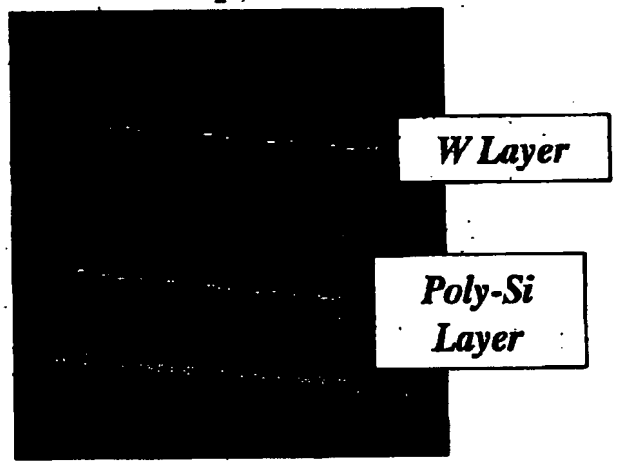
Same as Reference

Reference





Low Temp. SPA-Ox.

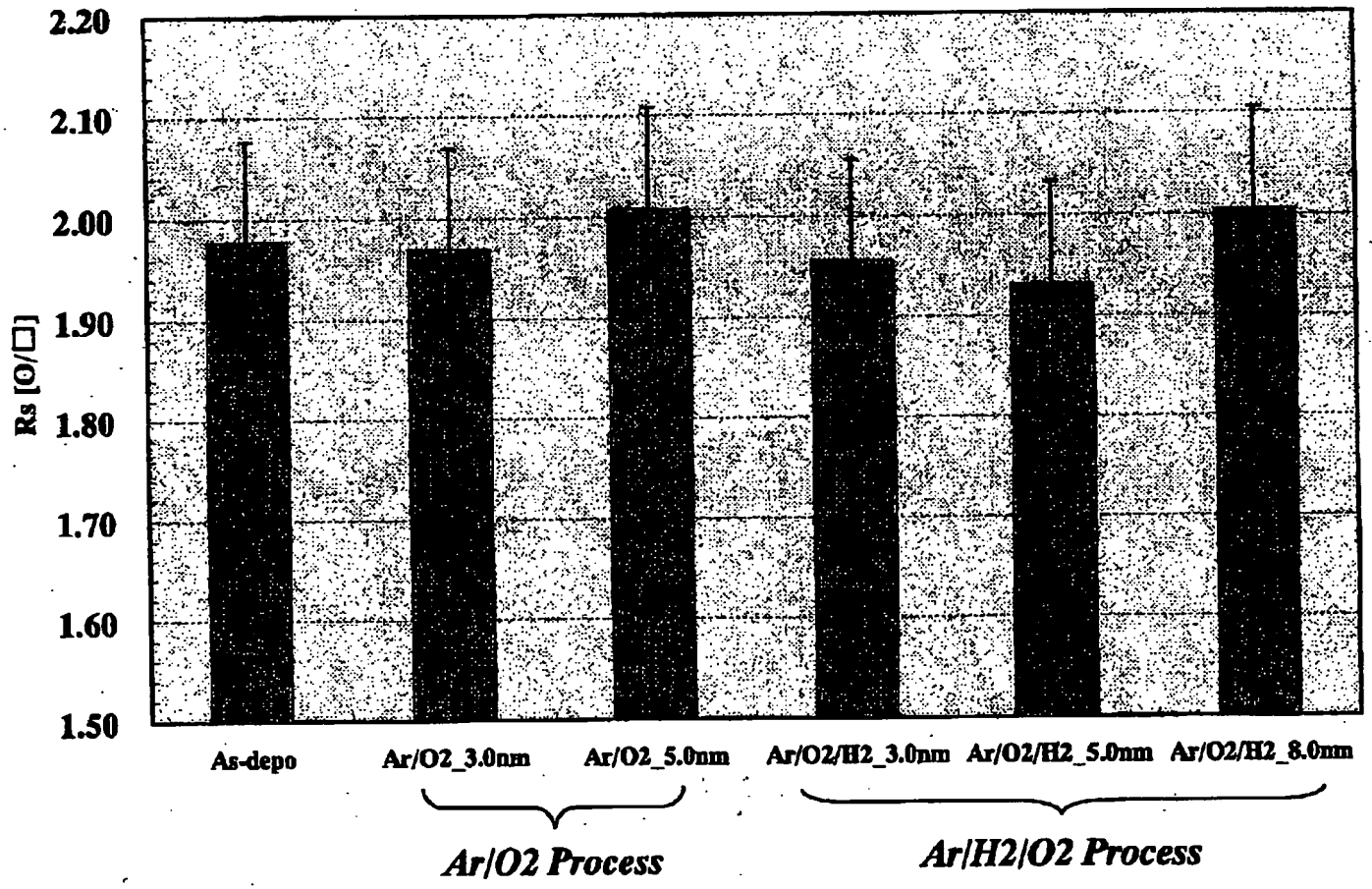


Redacted

PEOPLE. TECHNOLOGY. COMMITMENT.

confidential

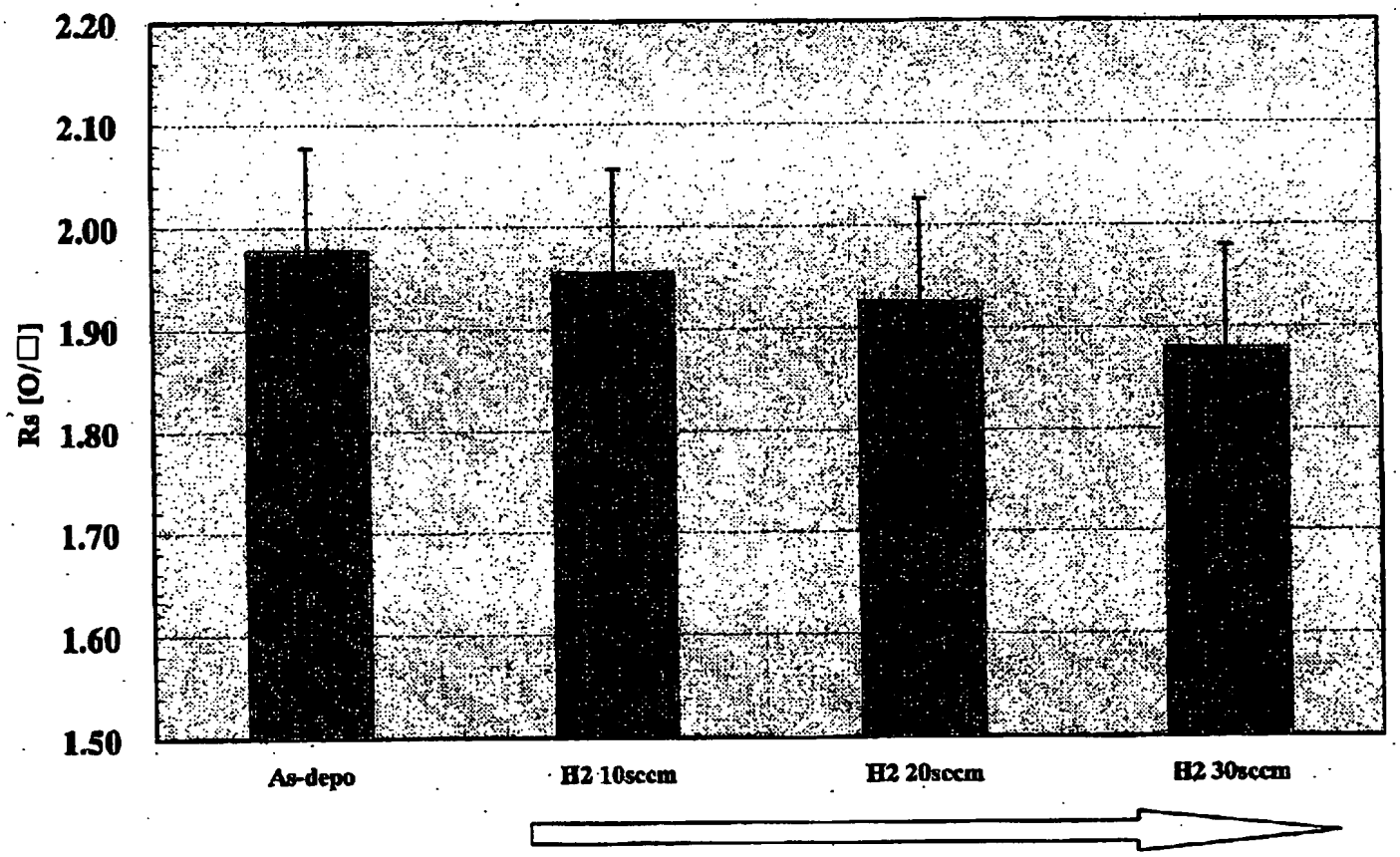
W film SPA-Ox. (Sheet Resistance)



Redacted

confidential

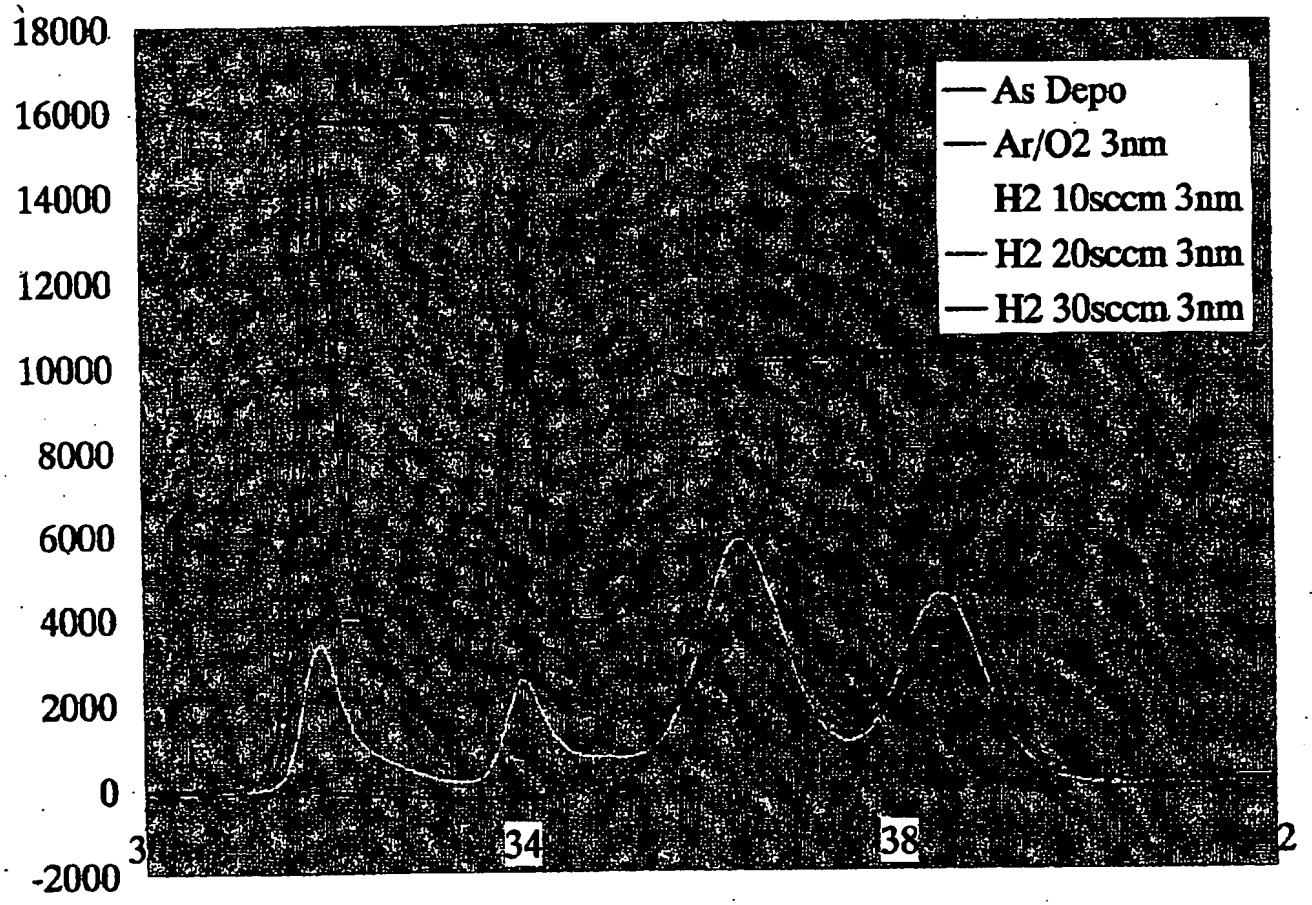
W film SPA-Ox. (Sheet Resistance)



Redacted

confidential

XPS Analysis



Redacted